

1

【特許請求の範囲】

【請求項1】絶縁性透明基板上に形成された複数のアドレス配線と、これらのアドレス配線に絶縁膜を介して交差するよう形成された複数のデータ配線と、前記アドレス配線及びデータ配線で囲まれた各画素領域にそれぞれ配置された表示用透明電極と、前記アドレス配線とデータ配線との交差部に隣接して設けられ、アドレス配線に接続されたゲートの電圧によりデータ配線と前記透明電極を選択的に接続する薄膜トランジスタと、前記各画素領域毎に前記透明電極の上下に絶縁膜を介して設けられた補助容量形成のための補助電極とを具備してなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリックス方式の液晶表示装置に係わり、特に補助容量構成部分の改良をはかった液晶表示装置に関する。

【0002】

【従来の技術】液晶ディスプレイ（液晶表示装置）は軽量、薄形化が可能で、低消費電力であることから、例えば携帯用TV、ラップトップパソコンのディスプレイなどに応用されており、さらに大画面化、高精細化の研究開発が各所で行われている。

【0003】液晶表示装置用の駆動回路基板として、互いに交差する複数本ずつのアドレス配線とデータ配線と共に、アモルファスSi（以下a-Siと略記する）或いはポリSi（以下p-Siと略記す）により構成した薄膜トランジスタ（TFT）又は、MIM素子を基板上に配列した、アクティブマトリックス基板が知られている。液晶表示装置は、このアクティブマトリックス基板と対向基板との間に液晶を封入することによって構成される。

【0004】ところで、この種の液晶表示装置においては、画面のちらつきを無くすため、各画素毎に表示用透明電極に絶縁膜を介して対向する補助容量を設け、該電極により補助容量を形成している。図7及び図8に、この補助容量を有する従来装置の1画素構成を示す。なお、図7は平面図であり、図8（a）は図7の矢視A-A断面図、図8（b）は図7の矢視B-B断面図である。

【0005】図において、10は絶縁性透明基板、11はアドレス配線、11aは薄膜トランジスタのゲート、11bは補助電極、12は透明電極、13はデータ配線、13a、13bはソース・ドレイン電極、21、22は絶縁膜を示している。図8（b）に示すように、補助容量はアドレス配線11の一部11bを透明電極12の下に潜り込ませることにより形成されており、この補助容量により画面のちらつきを無くしている。

【0006】しかしながら、この種の装置にあっては次のような問題があった。即ち、各画素毎に補助電極11

2

11を設けて補助容量を形成しているため、補助容量形成部分では光が透過することはできず、透明電極12は画素電極としては機能しなくなる。このため、補助容量の無い構造の基板に比べて、補助容量の占める面積だけ開口率が低下し、ディスプレイを高精細化していく上で問題となる。また、ディスプレイが大画面化するに伴い、配線抵抗のための信号の遅延による画質の低下が問題となる。

【0007】

【発明が解決しようとする課題】このように従来、アクティブマトリックス方式の液晶表示装置においては、表示画質を向上するために各画素毎に補助容量を設けると、その補助容量の占める面積分の開口率が低下するという問題があった。また、画面の大型化に伴って、配線抵抗のための信号の遅延による画質の低下という問題もあった。

【0008】本発明は、上記事情を考慮してなされたもので、その目的とするところは、画質向上のための補助容量を設けることに起因する開口率の低下を抑制することができ、高精細化に適した液晶表示装置を提供することにある。

【0009】

【発明の構成】

【0010】

【課題を解決するための手段】本発明の骨子は、透明電極との重なりにより単位面積当りの補助容量を増大し開口率を高くするために、透明電極の上下に補助電極を形成することにある。

【0011】即ち本発明は、絶縁性透明基板上に形成された複数のアドレス配線と、これらのアドレス配線に絶縁膜を介して交差するよう形成された複数のデータ配線と、アドレス配線及びデータ配線で囲まれた各画素領域にそれぞれ配置された表示用透明電極と、アドレス配線とデータ配線との交差部に隣接して設けられ、アドレス配線に接続されたゲートの電圧によりデータ配線と透明電極を選択的に接続する薄膜トランジスタと、各画素領域毎に設けられた補助容量とを備えた液晶表示装置において、補助容量を、表示用透明電極とその上下に絶縁膜を介して設けた補助電極とから構成するようにしたものである。

【0012】また、本発明の望ましい実施態様としては、次に述べる（1）～（3）が上げられる。

（1）補助電極は、アドレス配線を透明電極側に延長した下部補助電極と、これに電気的に接続され透明電極の上側に位置する上部補助電極とからなること。

（2）下部補助電極はアドレス配線形成時に同時に形成され、上部補助電極はデータ配線形成時に同時に形成されること。

（3）アドレス配線、データ配線のうち、下層に形成された配線が、上層の配線形成時に、その材料で形成された

補助配線と接続することによって、配線抵抗が低下していること。

【0013】

【作用】本発明によれば、表示用透明電極の下側のみならず上側にも補助電極を設けているので、同じ面積では補助容量の大きさを大きく（約2倍に）することができる。従って、従来構造のアクティブマトリックス基板と同じ容量の補助容量を各画素毎に設けた場合、従来構造の基板よりも開口率の高い基板を得ることができる。つまり、各画素毎に画質向上のための補助容量を設けても、同じ容量の補助容量を設けた基板と比較して開口率を高くすることが可能となる。また、本発明によれば、従来構造のアクティブマトリックス基板と同じ太さの下層配線を形成した場合、補助ラインに接続することによって、より低い配線抵抗を得ることが可能となる。

【0014】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0015】図1は本発明の第1の実施例に係わる液晶表示装置の1画素部分を拡大して示す平面図、図2

(a)は図1の矢視A-A断面図、図2(b)は図1の矢視B-B断面図である。

【0016】絶縁性透明基板10上に第1の信号配線としてのアドレス配線11が複数本形成され、さらにこれらのアドレス配線11に直交するように第2の信号配線としてのデータ配線13が複数本形成されている。アドレス配線11とデータ配線13で囲まれた画素領域には、表示用透明電極12が形成されている。また、アドレス配線11とデータ配線13との交差部の近傍には、後述する薄膜トランジスタが形成されている。

【0017】ここで、アドレス配線11を形成する工程で、ゲート電極11aと共に下部補助電極11bが同時に形成される。透明電極12は、画素領域内に薄膜トランジスタ形成領域を除いて形成され、その一部が下部補助電極11bと重なるように形成される。また、データ配線13を形成する工程で、ソース・ドレイン電極13a、13bと共に上部補助電極13cが同時に形成される。上部補助電極13cは、下部補助電極11b及びそれにつながるアドレス配線11の一部を覆うように形成される。そして、上部補助電極13cは、コンタクトホール14を介してアドレス配線11と接続されるものとなっている。

【0018】次に、上記構成のアクティブマトリックス基板の製造例について、具体的に説明する。まず、絶縁性透明基板10としてのガラス基板上に、スパッタリング法で第1の配線材料、例えばMoTaを250nm成膜する。続いて、これをケミカルドライエッチング（Chemical Dry Etching：以下CDEと略記する）により選択エッチングし、アドレス配線11（第1の信号配線層）、ゲート電極11a及び補助容量部分の下部補助電

極11bを形成する。

【0019】次いで、第1の絶縁膜21として、例えばプラズマCVD法で膜厚170nm程度のSiO₂膜を堆積する。その後、第1の絶縁膜21上にスパッタリング法でITO膜を100nm成膜し、これを王水系のエッチング溶液で選択的にエッチングして表示用透明電極12を形成する。続いて、第2の絶縁膜22として、第1の絶縁膜21と同様にプラズマCVD法で膜厚170nm程度のSiO₂膜を成膜する。

【0020】次いで、第3の絶縁膜23として例えば窒化シリコン（以下、SiNxと略記する）を50nm、a-Si膜24を50nm、第4の絶縁膜25として例えばSiNx膜を200nm、それぞれプラズマCVD法で成膜する。その後、第4の絶縁膜25を弗酸系のエッチング溶液で選択的にエッチングする。次いで、ソース・ドレイン電極とのコンタクトをとるためのn⁺型のa-Si膜26を、例えばプラズマCVD法で膜厚50nm成膜する。続いて、a-Si膜26、24及び第3の絶縁膜23をCDEで選択エッチングして、薄膜型のMOSTランジスタを形成する。

【0021】次いで、第1の絶縁膜21及び第2の絶縁膜22を弗化アンモニウム溶液で選択エッチングして、アドレス配線11と上部補助電極13cとの接続のためのコンタクトホール14を形成し、さらに第2の絶縁膜22に透明電極12とソース電極13aとの接続のためのコンタクトホール15を形成する。

【0022】次いで、スパッタリング法で第2の配線材料、例えばCr/AIを500nm成膜し、硝酸磷酸酢酸混合溶液と硝酸セリウムアンモニウム溶液で、AI、Crをそれぞれ選択的にエッチングし、データ配線13（第2の信号配線）、ソース電極13a及びドレイン電極13b、さらに補助容量部の上部補助電極13cを形成する。そして、ソース電極13aとドレイン電極13bの間に露出したa-Si膜26を、ソース、ドレイン電極13a、13bをマスクにして、CDEでエッチング除去することにより、液晶駆動用アクティブマトリックス基板が完成する。

【0023】かくして作成された本実施例装置においては、表示用透明電極12の端部を下部補助電極11b及び上部補助電極13cで挟む構成となり、透明電極12の上下に補助容量が形成される。このため、下部補助電極11と透明電極12のみで補助容量を形成する従来装置に比して、同じ面積では容量の増大をはかることができる。換言すれば、同じ容量の補助容量を得るには、図8(b)と図2(b)とを比較して分かるように、補助容量形成のための面積を小さく（約1/2に）することができる。

【0024】従って、各画素毎に画質向上のための補助容量を設けても、同じ容量の補助容量を設けた基板と比較して開口率を高くすることが可能となる。ちなみに、

各画素毎に従来と同じ容量の補助容量を設けた場合、開口率が約4%程度上昇した。また、本実施例では、上部補助電極13cが下層配線、つまりアドレス配線11の補助配線となっているため、アドレス配線11が低抵抗化する利点がある。具体的には本実施例では、対角4インチのディスプレイにおいて第1の信号配線の抵抗が、従来の約14kΩから約5kΩまで低下した。

【0025】なお、本実施例におけるアクティブマトリックス基板は、第1の配線材料にスパッタリング法によって成膜したMoTa以外の配線材料、例えばスパッタリング法や蒸着法によって成膜したMo、Ta、Ta-N、Cr、Al、Al-Si-Cu、W、ITO、Cu及びそれらを主成分とする合金、又はそれらの積層膜を使用して、作製することもできる。また、第2の配線材料としてはスパッタリング法によって成膜したCr/AI以外にも、スパッタリング法や蒸着法によって成膜したMo、Al、Cr、Cu、Ti、Ta、Ta-N、Al-Si-Cu、W、ITO、及びそれらの主成分とする合金、又はそれらの積層膜を使用してもよい。

【0026】また、第1の絶縁膜21としてはプラズマCVD法によるSiO₂以外にも、第1の配線材料の陽極酸化膜、スパッタリング法で形成されたSiO_x、SiN_x、TaO_x、プラズマCVD法で形成したSiN_x、及びそれらの積層膜を使用してもよい。第2の絶縁膜22としては、プラズマCVD法によるSiO₂以外にも、スパッタリング法で形成されたSiO_x、SiN_x、TaO_x、プラズマCVD法で形成されたSiN_x及びそれらの積層膜を使用してもよい。第3の絶縁膜23は、プラズマCVD法で形成されたSiN_x以外でも、スパッタリング法で形成されたSiO_x、SiN_x、プラズマCVD法で形成されたSiO_x及びそれらの積層膜を形成してもよい。第3の絶縁膜23はコンタクトホール以外の基板のどの領域に残してもよい。さらに、第3の絶縁膜23及び第4の絶縁膜25は存在しない構造でもよい。

【0027】また、第1の配線として、データ配線を形成し、第2の配線としてアドレス配線を形成してもよい。さらに、TFTの構造は、チャネル部に保護絶縁膜のないもの或いは、トップゲート型のものでもよく、a-Siの代わりにp-Siを使用してもよい。

【0028】次に、本発明の第2の実施例について説明する。図3に本実施例における画素構成の平面図を示し、図4に図3の矢視A-A断面図を示す。なお、図1及び図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0029】第1の実施例においては、補助容量の配線はアドレス配線11と共通の配線11bを使用していたが、本実施例では独立した補助容量の配線を有している。即ち、アドレス配線11と平行に補助容量配線31が各画素領域を横断するように設けられ、画素領域にお

いては補助容量配線31の上に上部補助電極32が形成されている。そして、補助容量配線31と上部補助電極32とはコンタクトホール33を介して接続されている。また、アドレス配線11上には第1の実施例と同様に上部補助電極13cが設けられ、これらはコンタクトホール14を介して接続されている。

【0030】製造工程は、第1の実施例と略同じであるが、第1の信号配線を形成するときに、アドレス配線11と共に補助容量配線31を同時に形成し、第2の信号配線を形成するときに、データ配線13と共に上部補助電極13c及び上部補助電極32を同時に形成する。

【0031】このような構成であっても、先の第1の実施例と同様の効果が得られるのは勿論である。なお、第1の配線の抵抗が十分に低く、補助配線を使用して抵抗を下げる必要の無い場合には、この上部補助電極13cは省略してもよい。また、補助容量のための配線は、画素部分では第1の配線材料（補助容量配線31）と第2の配線材料（上部補助電極32）の両方によって形成されているため抵抗の低い配線となる。

【0032】次に、本発明の第3の実施例について説明する。図5は、第3の実施例における画素部分の断面図であり、(a)は図1の矢視A-A断面に相当し、

(b)は図1の矢視B-B断面に相当している。本実施例は、画素の部分拡大して平面的にみた場合には、第1の実施例と同じ構造であるが、層間絶縁膜として使用している絶縁膜の構成が異なり、従って第1の実施例とは製造方法が異なる。

【0033】本実施例の構造のアクティブマトリックス基板の製造方法について説明する。まず、第1の実施例と同様に、絶縁透明基板10上にスパッタリング法で第1の配線材料を250nm成膜し、これをパターニングしてアドレス配線11、ゲート電極11a及び補助容量部分の下部電極11bを形成する。

【0034】次いで、第1の絶縁膜21として、例えばプラズマCVD法で膜厚350nm程度のSiO₂膜を堆積する。続いて、第3の絶縁膜23及びa-Si膜24を例えばプラズマCVD法でそれぞれ50nm堆積する。その後、a-Si膜24及び第3の絶縁膜23を、CDEでパターニングする。次いで、第1の実施例と同様に、第1の絶縁膜21上にITO膜を100nm成膜し、これを選択的にエッチングして表示用透明電極12を形成する。

【0035】次いで、第4の絶縁膜25を堆積したのち、これを選択エッチングする。このとき、第4の絶縁膜25を透明電極12の上にも残すと共に、コンタクトホール15を形成する。続いてn⁺型a-Si膜26を堆積する。次いで、第1の絶縁膜21を弗化アンモニウム溶液でエッチングしてコンタクトホール14を形成する。

【0036】これ以降は、第1の実施例と同様に、スパ

ッタリング法で第2の配線材料を成膜し、これを選択エッチングしてデータ配線13、ソース電極13a及びドレイン電極13b、さらに補助容量部の上部補助電極13cを形成する。そして、ソース電極13a及びドレイン電極13bの間に露出したa-Si膜26をCDEでエッチング除去することにより、液晶駆動用アクティブマトリックス基板が完成する。

【0037】次に、本発明の第4の実施例について説明する。図6は、第4の実施例における補助容量部分の断面図であり、図3の矢視A-A断面に相当している。本実施例は、画素部分を拡大して平面的に見た場合は第2の実施例に同じであり、具体的な膜構造は第3の実施例と同じである。従って、本実施例のアクティブマトリックス基板は、第3の実施例の製造方法にて製造をすることができ。

【0038】なお、本発明は上述した各実施例に限定されるものではない。例えば、前記補助容量を構成するための電極（上部補助電極及び下部補助電極）に使用する導電膜は、第1の配線材料と第2の配線材料ばかりでなく、これ以外に光遮蔽用の材料など、アクティブマトリックス基板を製造する上で使用している導電性の任意の材料を使用してもよい。また、補助容量を構成する絶縁膜としては、ゲート絶縁膜、チャネル保護膜ばかりでなく、バッシベーション膜、アンダーコート膜など、アクティブマトリックス基板を製造する上で、使用している任意の絶縁膜を使用してもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0039】

【発明の効果】以上詳述したように本発明によれば、透明電極の上下に補助電極を形成しているので、透明電極との重なりによって形成する補助容量の増大をはかることができ、これにより画質向上のための補助容量を設けることに起因する開口率の低下を抑制することができ、高精細化に適した液晶表示装置を実現することが可能と*

*なる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる液晶表示装置の1画素構成を示す平面図。

【図2】図1の矢視A-A断面及び矢視B-B断面を示す図。

【図3】本発明の第2の実施例の1画素構成を示す平面図。

【図4】図3の矢視A-A断面を示す図。

【図5】本発明の第3の実施例を説明するための断面図。

【図6】本発明の第4の実施例を説明するための断面図。

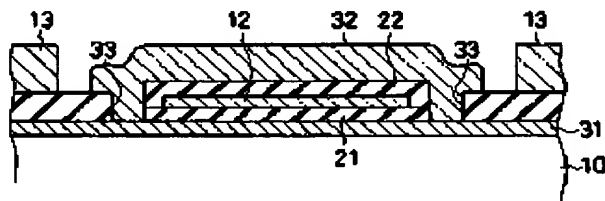
【図7】従来の液晶表示装置の1画素構成を示す平面図。

【図8】図7の矢視A-A断面及び矢視B-B断面を示す図。

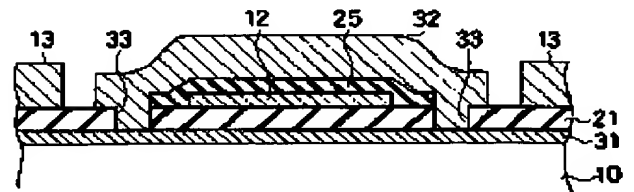
【符号の説明】

- | | |
|----------------|---------------------------|
| 10…透明基板、 | 11…アドレス配線、 |
| 11a…ゲート電極、 | 11b…下部補助電極、 |
| 12…表示用透明電極、 | 13…データ配線、 |
| 13a…ソース電極、 | 13b…ドレイン電極、 |
| 13c、32…上部補助電極、 | 14、15、33…コンタクトホール、 |
| 21…第1の絶縁膜、 | 22…第2の絶縁膜、 |
| 23…第3の絶縁膜、 | 24…a-Si膜、 |
| 25…第4の絶縁膜、 | 26…n ⁺ 型a-Si膜、 |
| 31…補助容量配線、 | |

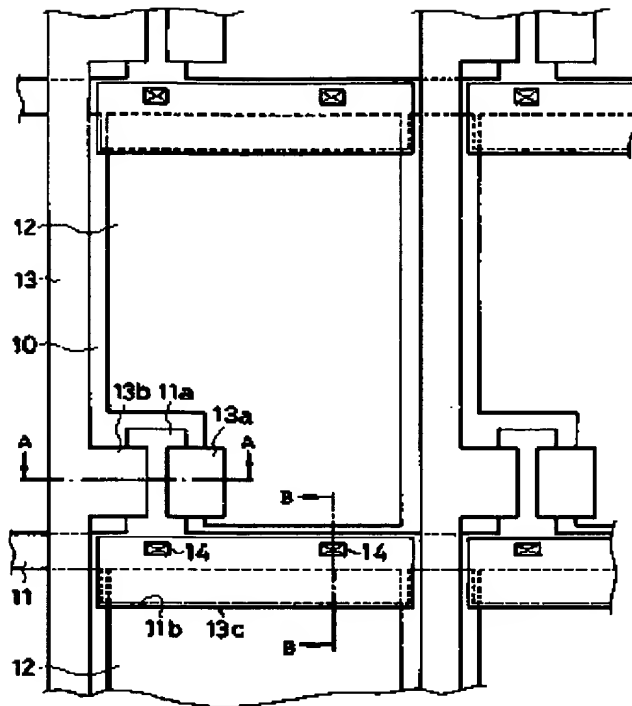
【図4】



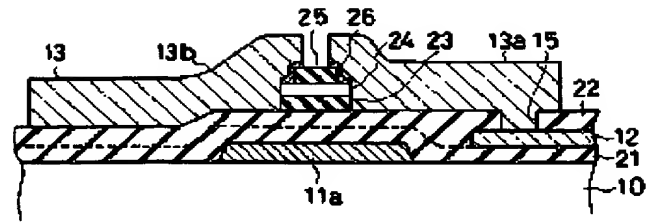
【図6】



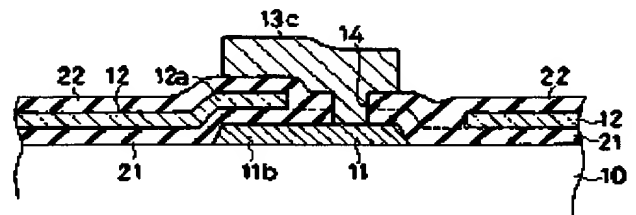
【図1】



【図2】

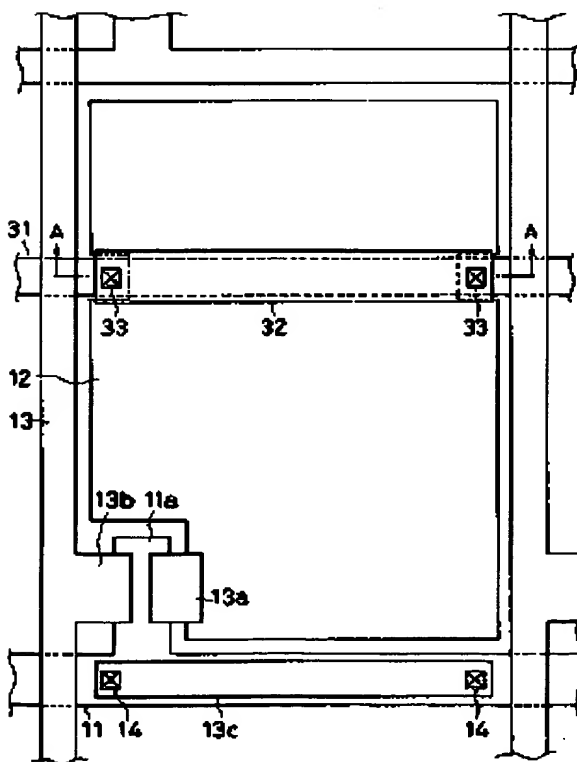


(a)

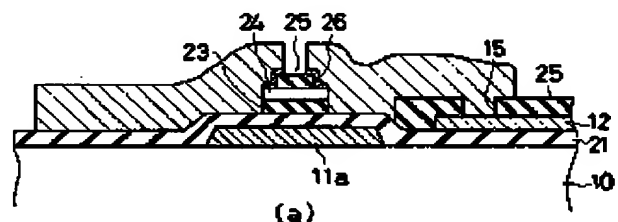


(b)

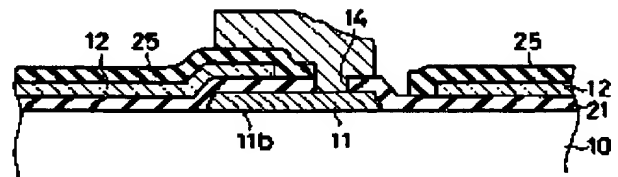
【図3】



【図5】

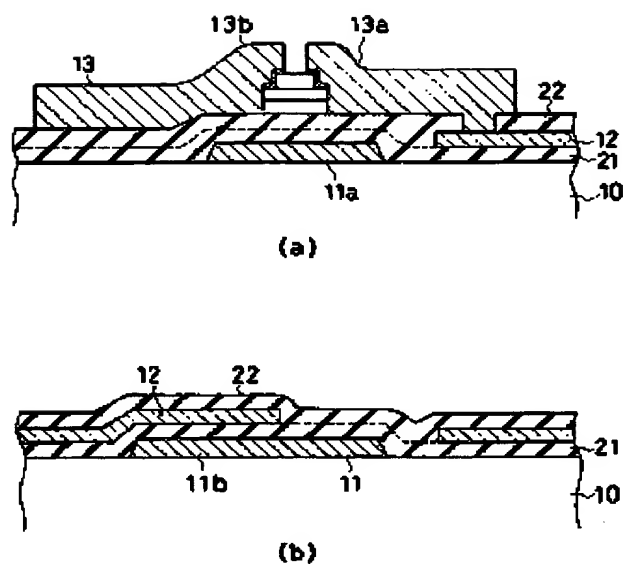


(a)



(b)

【圖 8】



(72)発明者 清田 敏也
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】平成11年(1999)7月30日

【公開番号】特開平5-2189
 【公開日】平成5年(1993)1月8日
 【年通号数】公開特許公報5-22
 【出願番号】特願平3-154347
 【国際特許分類第6版】

G02F 1/136 500
 G09F 9/30 338

【F I】

G02F 1/136 500
 G09F 9/30 338

【手続補正言】

【提出日】平成10年6月26日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 アクティブマトリックス型装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】絶縁性透明基板上に形成された複数のアドレス配線電極と、

これらのアドレス配線電極に絶縁膜を介して交差するよう形成された複数のデータ配線電極と、

前記アドレス配線電極及び前記データ配線電極で囲まれた各画素領域にそれぞれ配置された画素電極と、

前記アドレス配線電極及び前記データ配線電極との交差部に隣接して設けられ、前記アドレス配線電極に接続されたゲートの電圧により前記データ配線電極と前記画素電極を接続する薄膜トランジスタと、

前記各画素領域に設けられ、絶縁膜を介して積層された3層の電極構造により形成された補助容量とを具備してなることを特徴とするアクティブマトリックス型装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【産業上の利用分野】本発明は、アクティブマトリク

ス型装置に係わり、特に補助容量構成部分の改良を図った液晶表示装置などのアクティブマトリックス型装置に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】液晶表示装置用の駆動回路基板として、互いに交差する複数本ずつのアドレス配線電極とデータ配線電極と共に、アモルファスSi(以下a-Siと略記する)或いはポリSi(以下p-Siと略記する)により構成した薄膜トランジスタ(TFT)又は、MIM素子を基板上に配列した、アクティブマトリックス基板が知られている。液晶表示装置は、このアクティブマトリックス基板と対向基板との間に液晶を封入することによって構成される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】図において、10は絶縁性透明基板、11はアドレス配線電極、11aは薄膜トランジスタのゲート、11bは補助電極、12は透明電極、13はデータ配線電極、13a、13bはソース・ドレイン電極、21、22は絶縁膜を示している。図8(b)に示すように、補助容量はアドレス配線電極11の一部11bを透明電極12の下に潜り込ませることにより形成されており、この補助容量により画面のちらつきを無くしている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】本発明は、上記事情を考慮してなされたもので、その目的とするところは、開口率の低下を抑制することができるアクティブマトリックス型装置を提供することにある。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】本発明の骨子は、単位面積当りの補助容量を増大し開口率を高くするために、絶縁膜を介して積層された3層の電極構造により形成された補助容量を用いることにある。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】即ち本発明は、絶縁性透明基板上に形成された複数のアドレス配線と、これらのアドレス配線に絶縁膜を介して交差するよう形成された複数のデータ配線と、アドレス配線及びデータ配線で囲まれた各画素領域にそれぞれ配置された表示用透明電極と、アドレス配線とデータ配線との交差部に隣接して設けられ、アドレス配線に接続されたゲートの電圧によりデータ配線と透明電極を選択的に接続する薄膜トランジスタと、各画素領域毎に設けられた補助容量とを備えた液晶表示装置において、補助容量を、表示用透明電極とその上下に絶縁膜を介して設けた補助電極とから構成するようにしたものである。また、3層の電極構造のうち、上下の電極は補助電極を設けることにより形成することが可能である。中間の電極としては、画素電極等を用いることができる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【作用】本発明によれば、電極／絶縁膜／電極の2層の

電極構造の補助容量ではなく、電極／絶縁膜／電極／絶縁膜／電極の3層の電極構造により補助容量を形成するので、同じ面積では補助容量の大きさを大きく（約2倍）にすることができる。従って、従来構造のアクティブマトリックス基板と同じ容量の補助容量を各画素毎に設けた場合、従来構造の基板よりも開口率の高い基板を得ることができる。つまり、各画素毎に画質向上のための補助容量を設けても、同じ容量の補助容量を設けた基板と比較して開口率を高くすることが可能となる。また、本発明によれば、従来構造のアクティブマトリックス基板と同じ太さの下層配線を形成した場合、補助ラインに接続することによって、より低い配線抵抗を得ることが可能となる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】絶縁性透明基板10上に第1の信号配線としてのアドレス配線電極（以下、単にアドレス配線と呼ぶ）11が複数本形成され、さらにこれらのアドレス配線11に直交するように第2の信号配線としてのデータ配線電極（以下、単にデータ配線と呼ぶ）13が複数本形成されている。アドレス配線11とデータ配線13で囲まれた画素領域には、表示用透明電極12が形成されている。また、アドレス配線電極11とデータ配線電極13との交差部の近傍には、後述する薄膜トランジスタが形成されている。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】

【発明の効果】以上詳述したように本発明によれば、絶縁膜を介して積層された3層の電極構造により補助容量を形成するので、補助容量の増大をはかることができ、これにより開口率の低下を抑制することができるアクティブマトリックス型装置を実現することが可能である。特に、液晶表示装置に適用した場合、高微細化を図ることが可能である。